

1/9/1

0000578943

WPI Acc no: 1973-65525U/197343

Fine alumina powder prodn - having low alkali content

Patent Assignee: NIKKEI KAKO CO LTD (NIK-N)

Patent Family ( 1 patents, 1 & countries )

Patent Number	Kind	Date	Application Number	Kind	Date	Update	Type
JP 73034680	B	00000000	JP 196883270	A	19681115	197343	B

**Alerting Abstract JP B**

Process comprises sintering aluminium hydroxide or alumina obtd. by the Bayer process in the presence of HCl or an aluminium chloride, boric acid or boric oxide at 1200-1250 degrees C and crushing the resulting sintered material into powder suitable for electrical isolating and a high temp. resisting material.

**Title Terms /Index Terms/Additional Words:** FINE; ALUMINA; POWDER; PRODUCE; LOW; ALKALI; CONTENT

**Class Codes**

International Patent Classification

IPC	Class Level	Scope	Position	Status	Version Date
C01F-007/46			Secondary		"Version 7"

File Segment: CPI

DWPI Class: E33; L02

Manual Codes (CPI/A-N): E34-C; L02-G11

**Chemical Indexing**

Chemical Fragment Codes (M3) :

\*01\* M902 A313 A940 C108 C550 C730 C801 C802 C803 C804 C805 C807 M411 M720  
N000 Q334 Q451 Q454 Q610  
\*02\* M903 A300 A313 A940 A990 C108 C550 C730 C801 C802 C803 C804 C805 C807  
M411 M720 N000 Q334 Q451 Q454 Q610

**Original Publication Data by Authority**

**Japan**

Publication No. JP 73034680 B (Update 197343 B)

Publication Date: 00000000

Assignee: NIKKEI KAKO CO LTD (NIK-N)

Language: JA

Application: JP 196883270 A 19681115

Original IPC: C01F-7/46

Current IPC: C01F-7/46

Derwent WPI (Dialog® File 351); (c) 2008 The Thomson Corporation. All rights reserved.

## 特許願(2)

昭和 46年 9月 1日

特許庁長官署

## 1. 発明の名称

半導体装置

## 2. 発明者

東京都調布市東地3の1多摩川左岸の3の307  
益田 栄一 (他1名)

## 3. 特許出願人

東京都品川区北品川6丁目7番35号  
(218)ソニー株式会社  
代表者 盛田昭夫

## 4. 代理人

平160  
東京都新宿区西新宿7の11の15ミヤコビル  
電話東京(03)363-1406番  
(6595)弁理士 土屋 勝  
同所  
(7215)弁理士 高野 利次

## 5. 添附書類の目録

(1) 明細書	1通
(2) 図面	1通
(3) 説明書	1通
(4) 契約書	1通
(5) 補正書	1通

## 明細書

## 1. 発明の名称

半導体装置

## 2. 特許請求の範囲

半導体基体と異なる導電形を有し、若しくは分割して形成されている第1の半導体領域と、前記第1の半導体領域と同一導電形でかつ前記第1の半導体領域と対向し、若しくは分割して形成されている第2の半導体領域と、前記第1の半導体領域と前記第2の半導体領域との間に電荷蓄積効果を有する絶縁層を介して設けたゲート電極とを少なくとも具備し、かつ前記絶縁層に場所によって電荷蓄積保持量が異なるように電荷を蓄積保持させたことを特徴とする半導体装置。

## 3. 発明の詳細を説明

## 公開特許公報

⑪特開昭 46- 34680

⑬公開日 昭46.(1973)5.21

⑫特願昭 46- 69546

⑭出願日 昭46.(1971)9.8

審査請求 有 (全9頁)

庁内整理番号

6426 57

⑬日本分類

990E3

本発明はMOS電界効果トランジスタに類似した半導体装置に関するものである。

従来から半導体基体にソース領域とドレイン領域とを対向して設け、このソース領域とドレイン領域との間の半導体基体表面上に絶縁層を介してゲート金属電極を設けたMOS形FETはよく知られている。この種のMOS形FETにおいて、ドレイン・ソース間電流  $I_{DS}$  とドレイン・ソース間電圧  $V_{DS}$  の特性の2極管領域が大きいこと、相互コンダクタンス  $g_{ms}$  が大きいこと等が要請される。

本発明は上述の如き各種の要請を充足し、かつ全く新規な特性を具備した半導体装置を提供しようとするものである。

即ち本発明は半導体基体と異なる導電形を有し

1若しくは分割して形成されている第1の半導体領域と、例えばソースとして働く領域と、前記第1の半導体領域と同一導電形でかつ前記第1の半導体領域と対向し1若しくは分割して形成されている第2の半導体領域と、例えばドレインとして働く領域と、前記第1の半導体領域と前記第2の半導体領域との間に電荷蓄積効果を有する絶縁層例えばアルミナ層とオキサイド層とから成る層またはナイトライド層とオキサイド層とからなる層等を介して設けたゲート電極とを少なくとも具備し。かつ前記絶縁層に場所によって電荷蓄積保持量が異なるように電荷を蓄積保持させた例えば横方向に勾配を具備せしめて電荷を蓄積保持させた半導体装置に係るものである。

上述の如く構成すれば、全く新規な原理に基づ

ナ層(7)が形成され、この上にアルミニウム等の金属のゲート電極(8)が形成されている。周ち金属-アルミナ-オキサイド-セミコンダクタ(MAOS)層が形成されている。上述のMAOS層は、ゲート電極(8)とN形半導体基板(5)との間に臨界電圧値 $V_0$ 以上例えば22ボルト以上の電圧を印加すれば、アルミナ層(7)とシリコン酸化物層(6)との界面に電荷が蓄積し、電圧印加を取り除いても電荷の蓄積が保持された状態となる性質を有するものである。後つてこのようなMAOS層をFETのゲートに適用し、ゲート電極と半導体基板との間周ちMとSとの間に前もつて電圧を印加すれば、閾値電圧 $V_{th}$ を変化させることが出来る。この閾値電圧 $V_{th}$ の変化は前もつて加える電圧の大小に比例する。尚上述の電荷の蓄積効果を生じさせるための

特開 昭48-34680 (2)  
いて動作するMOS形式のFET及びこれに類似した素子を得ることが出来る。例えば、 $I_{DS} - V_{DS}$ 特性の3極管領域の大きいFETを得ることが出来る。

次に本発明の実施例を図面に付き述べる。

まず第1の実施例に付き述べると、半導体装置は第1A図～第1C図の如く形成されている。即ち第1A図において、ソース領域として働くP<sup>+</sup>形半導体領域(1)とドレイン領域として働くP<sup>+</sup>半導体領域(2)とが対向配置され、またN<sup>+</sup>形半導体領域(3)とN<sup>+</sup>形半導体領域(4)とが対向配置されている。即ちほほ4つの領域が正方形に配置されている。またこのシリコンN形半導体基板(5)の上には厚さ50Å～200Å程度のシリコン酸化物層(6)が形成され、更に厚さ700Å～2000Å程度のアルミ

臨界電圧 $V_0$ はアルミナ-オキサイド層の厚さによって変化する。

前述のソース領域として働くP<sup>+</sup>形半導体領域(1)にソース電極(9)が設けられ、開口(9)を通して外部に導出されている。また前述のドレイン領域として働くP<sup>+</sup>形半導体領域(2)にドレイン電極(10)が設けられ、開口(10)を通して外部に導出されている。更にN<sup>+</sup>形半導体領域(3)と(4)とも開口(13)と(14)とを通じて電極端と端とが設けられている。

次に、上述の如く構成されている半導体装置に次に示す如き処理を施す。まずN<sup>+</sup>形半導体領域(3)の電極端とN<sup>+</sup>形半導体領域(4)の電極端との間に直流バイアス電源を接続し、またゲート電極(8)とN形半導体基板(5)との間にも直流バイアス電源を接続する。そして上述の如き接続状態でゲート

電極(8)とN形半導体基板(5)との間に蓄積効果を発揮する臨界電圧例えば22ボルト以上のゲート電圧 $V_G$ 例えば42ボルトを、またN<sup>+</sup>形半導体領域(3)と(4)との間に適当なバイアス電圧 $V_B$ 例えば20ボルトを同時に加える。このように同時に電圧 $V_G$ と $V_B$ とを加えれば $V_G - V_B$ が実効的にMAOS層に作用する。今、バイアス電圧 $V_B$ による電位分布を考えれば、第2A図に示す如く分布するものと考えることが出来る。尚第2A図は0点即ちA点を第1B図のA点に対応させ、第2A図のB点を第1B図のB点に対応させて表わしている。即ちN<sup>+</sup>形半導体領域(3)からN<sup>+</sup>形半導体領域(4)に向つて漸次電位が高くなる分布と考えることが出来る。そして半導体基板(5)の横方向にこのような電位が存在すれば、ゲート電圧 $V_G$ を打ち消す

ことになり、ゲート電極(8)と半導体基板(5)との間に $V_B$ で打ち消された電圧 $V_G - V_B$ が加わる。この $V_G - V_B$ は $V_G$ が一定であつても $V_B$ が場所とともに変化するので、場所依存性を有するものとなる。即ち第2B図のA点ではバイアス電圧 $V_B$ の作用がほとんど零であるのでゲート電圧 $V_G$ 例えば42ボルトがそのままゲート電極(8)と半導体基板(5)との間に加わり、B点に近づくにつれて順次減少し、B点では $V_G - V_B$ が例えば42 - 20 = 22ボルトとなり、例えは蓄積効果を生ずる臨界電圧 $V_G$ となる。

上述の如く場所によつて変化する電圧が加えられれば、アルミナ層(7)とシリコン酸化物層(6)との間に蓄積保持される電荷の量も $V_G - V_B$ の関数となつて分布する。この蓄積電荷 $Q_{ch}$ の分布を表わ

したもののが第2B図である。この実施例では電荷は電子である。即ちA点附近では多くの電子が蓄積保持され、B点附近ではほとんど電子が蓄積保持されなくなる。アルミナ層(7)とシリコン酸化物層(6)との間に第2B図の如く電子が分布すれば、半導体基板(5)の表面での電子の分布は第2C図に示す如く第2B図の分布とは逆になる。そして半導体基板(5)の表面のホールの分布が第2D図に示す如く第2B図の蓄積電子の分布に対応したものとなる。

上述の如くゲート電圧 $V_G$ とバイアス電圧 $V_B$ とを同時に印加した後にこれを取り除き、しかる後に半導体素子として使用する。半導体素子として使用する際は特殊の場合を除き通常N<sup>+</sup>形半導体領域(3)と(4)とは不要である。

上述の如くして形成された半導体装置の特性を調べれば次の如くなる。今、この半導体装置を電界効果形トランジスタとして使用する場合に付言述べると、P<sup>+</sup>形半導体領域(1)をソースとし、P<sup>+</sup>形半導体領域(2)をドレインとし、P<sup>+</sup>形半導体領域(3)と半導体基板(5)とを接地して使用する。このようなFETはゲート電圧で大きくドレイン電流が変化し、gmの大きなものとなる。

次にこのFETの動作を詳しく述べる。今P<sup>+</sup>形半導体領域(1)とP<sup>+</sup>形半導体領域(2)との間で形成されるFETを複数のFETに分割して考えると、A点における微小FETの特性は第2F図に示す如きものとなる。即ち $V_G = 0$ でもドレイン・ソース間電流 $I_{DS}$ が流れるデプレシヨン形となり、閾値電圧 $V_{thA}$ を有するものとなる。またB点に

おける微小 FET の特性は第 2 D 図に示す如きものとなる。即ち  $V_G = 0$  ではドレイン・ソース間電流  $I_{DS}$  が流れないエンハンスマント形となり、閾値電圧  $V_{thb}$  を有するものとなる。即ち A 点と B 点とで閾値電圧が異なる FET となる。今、A 点と B 点とのみの微小 FET を考えたが A 点と B 点との間の微小 FET を考えれば、それぞれ閾値電圧  $V_{th}$  の異なるものとなる。この閾値電圧  $V_{th}$  の位置による変化を示したもののが第 2 E 図である。閾値電圧  $V_{th}$  が第 2 E 図の如く変化しているということは零ラインと交わる点から左側が P チャンネルのデプレシヨン形に形成され、右側が P チャンネルのエンハンスマント形に形成されていることを意味する。そして、全体の FET としては微小 FET を並列に接続した特性となり、第

向の際はこれと逆になる。

上述の如くチャンネルが変化するので、本発明に基づく FET の変化量は大きなものとなる。この変化量を第 3 図に従つて述べると、今ゲート電圧  $V_G$  を  $\Delta V_G$  だけ変化させた際、従来の FET であれば、曲線 3 から曲線 4 までしか変化しないが、本発明の FET であれば曲線 3 から曲線 5 まで変化する。即ちチャンネルの厚さ方向とチャンネルの幅方向の変化が生じ、同じ  $\Delta V_G$  で大きく  $I_{DS}$  が変化する。これはまた  $\Delta V_G$  の変化に対して高い  $\Delta g_m$  が得られることを意味する。また 3 管の領域をリニアにのばすことが出来るので即ちドレイン・ソース間電流  $I_{DS}$  の 0 点とゼンテオフする点との間を大きくとれるので、0 とゼンテオフ電圧に対応する電流  $I_{Dsp}$  とでスイッチとして使うこ

特開 昭48-34680 (4)  
2 H 図の如くなる。従つて従来の FET と同じように使用することが出来るが、しかし動作は全く異なつて、この FET はゲート電圧  $V_G$  によって従来の FET と同じようにチャンネルの厚さの変調がなされるが、それと同時にチャンネルの幅が変調されている。

このチャンネルの幅の変調について述べると、今、ゲート電極(8)に対するゲート電圧  $V_G$  が零の状態から正のゲート電圧を第 2 H 図で示す閾値電圧  $V_{th}$  に向つて徐々に加えてゆくとすれば、第 2 D 図に示す如き微小 FET で考えた閾値電圧の分布が変化し、左側のデプレシヨン形の領域がだんだん少くなり、第 2 H 図の  $V_{th}$  を加えたときにはついにデプレシヨン領域はなくなる。今ゲート電圧  $V_G$  の減少の方向について述べたが増加の方

とも出来るようになる。

今までの実施例は  $V_B > 0$  のバイアス電圧  $V_B$  と  $V_G > 0$  のゲート電圧  $V_G$  とを同時に加えて電荷の蓄積効果を生じさせたものであつたが、 $V_B > 0$  のバイアス電圧  $V_B$  と  $V_G < 0$  のゲート電圧  $V_G$  とを同時に加えたときの実施例に付き述べると、第 4 A 図～第 4 H 図の如くなる。即ちバイアス電圧  $V_B$  の A 点と B 点間の分布は第 4 A 図に示す如く第 2 A 図と同じになる。またアルミナ層(7)とシリコン酸化物層(6)との間に蓄積されるホールの分布は第 4 B 図の如くなる。また半導体蓄積(5)の表面の電子の分布は第 4 C 図の如くなる。また表面のホールの分布は第 4 D 図の如くなる。従つて A 点から B 点を細分して考える微小 FET の閾値電圧の分布は第 4 E 図の如くなる。そして今 A 点にかけ

る微小FETの特性を考えれば、第4E図の如くとなり、B点における微小FETの特性を考えれば、第4G図の如くとなる。また全体の特性は第4H図の如くなる。即ちエンハンスメント形FETの特性となる。

次にP形半導体基板を使用したN形チャンネルのFETの実施例に付き述べる。

第5図は理解を容易にするためにP形半導体基板中の拡散領域のみ示したものである。この実施例のFETはP形半導体基板側を使用したものであるので第1図とはそれぞれの導電形が逆となり、ソース領域として働くようにN<sup>+</sup>形半導体領域②が、ドレイン領域として働くようにN<sup>+</sup>形半導体領域④が、またバイアス電圧を加えるためのP<sup>+</sup>形半導体領域⑥が拡散によって1～2μ離

度の深さに設けられている。そして、第1図と同じようにシリコン酸化物層とアルミナ層とを介してゲート電極が設けられ、またそれぞれの領域にも電極が設けられている。

上述の如き構成のFETに対して、正のゲート電圧V<sub>G</sub>と負のバイアス電圧V<sub>B</sub>とを加えたときの変化を第6A図～第6H図で説明する。今第6A図の如きバイアス電圧V<sub>B</sub>をP<sup>+</sup>形半導体領域⑥と④との間に加え、同時にゲート電極にゲート電圧V<sub>G</sub>を加えたとすれば、シリコン酸化物層とアルミナ層との界面附近に電子が蓄積される。この電子の蓄積を第5図のA点とB点との間の分布として見れば第6B図の如くとなる。また表面の電子は第6O図の如くほとんど零となる。一方表面のホールは第6D図に示す如くA点からB点に向つ

てだんだん増加する分布となる。従つて微小FETの閾値電圧をA点からB点に向つて調べれば、第6E図の如くなる。そして今A点の微小FETの特性曲線を示せば第6F図の如くなり、B点の微小FETの特性曲線を示せば第6G図の如くなり、全体としては第6H図の如くとなる。即ちNチャンネルのエンハンスメント形のFETとして働くものとなる。

次に第5図の電子に負のゲート電圧V<sub>G</sub>と負のバイアス電圧V<sub>B</sub>とを同時に加えたときに付き述べる。今第7A図の如きバイアス電圧V<sub>B</sub>を加えたとすれば、シリコン酸化物層とアルミナ層との間に蓄積保持される正孔は近似的に第7B図の如き分布となる。そして表面の電子の分布は第7O図の如く、また表面のホールの分布は第7D図の

如くなり、微小FETの閾値電圧V<sub>th</sub>の分布は第7E図の如くなる。今A点の微小FETの特性を考えれば第7F図となり、Nチャンネルのデプレシヨン形となる。またB点の微小FETの特性を考えれば、第7G図の如くなりNチャンネルのエンハンスメント形となる。そして全体の特性は第7H図の如くとなりデプレシヨン形のFETとなる。

以上本発明を実施例に基づいて説明したが、上述の実施例に限定されることなく本発明の技術的恩恵に基づいて更に変形が可能であることは理解されるであろう。例えば、金属-アルミナ-オキサイド-セミコンダクター即ちM<sub>1</sub>Al<sub>2</sub>O<sub>3</sub>に限ることなく、金属-ナイトライド-オキサイド-セミコンダクター即ちM<sub>1</sub>N<sub>2</sub>O<sub>5</sub>等でゲート電極下の絶縁

層を形成することも出来る。また通常の F E T 以外の方法で使用するよう構成することも出来る。例えば  $P^+$  形半導体領域(1)、 $P^+$  形半導体領域(2)、 $N^+$  形半導体領域(3)(4)、ゲート電極(8)の二つ若しくはそれ以上の層を任意に選択して使用するよう構成することも出来る。また  $P^+$  形半導体領域(1)、 $P^+$  形半導体領域(2)、 $N^+$  形半導体領域(3)(4)を分割配置することも出来る。

本発明は上述の如く、ソースに相当する領域とドレインに相当する領域との間に設けるゲート領域の絶縁層に電荷を蓄積させ、かつこの電荷の蓄積を横方向に均配を有するようしたるものであるので、全く新規な原理に基づいて動作する F E T 若しくはこれに類似した半導体装置を提供することが出来る。例えば通常の F E T は勿論のこと、アナ

F T の開集電圧の分布を示す図、第 2 F 図の A 点の  $I_{DS} - V_G$  特性図、第 2 G 図は B 点の  $I_{DS} - V_G$  特性図、第 2 H 図は全体の  $I_{DS} - V_G$  特性図、第 3 図は F E T の  $V_{DS} - I_{DS}$  特性図、第 4 A 図～第 4 H 図は  $V_G < 0$ 、 $V_B > 0$  の条件のときの各状態を示すものであつて、第 4 A 図はバイアス電圧の分布を示す図、第 4 B 図は絶縁層のホール密度の分布を示す図、第 4 C 図は表面の電子密度の分布を示す図、第 4 D 図は表面のオール密度の分布を示す図、第 4 E 図は F E T の開集電圧の分布を示す図、第 4 F 図は A 点の F E T の特性図、第 4 G 図は B 点の F E T の特性図、第 4 H 図は全体の F E T の特性図、第 5 図～第 7 H 図は P 形半導体基板を使用した実施例を示すものであつて、第 5 図は挿散部を示す平面図、第 6 A 図～第 6 H 図は  $V_G > 0$ 、

特開昭48-34680 (6) ログデジタルメモリー、可変  $gm$  形電界効果トランジスタ、無接点ボリューム等を提供することが出来る。

#### 4. 図面の簡単な説明

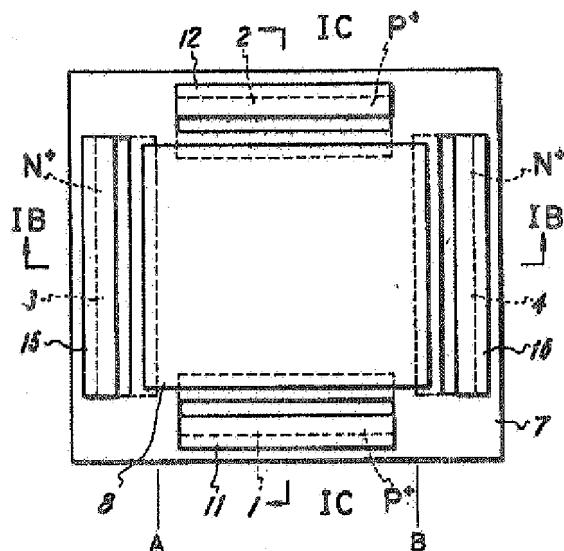
図面は本発明の実施例を示すものであり、第 1 A 図～第 4 H 図は N 形シリコン基板を使用した P チャンネルの装置の実施例であつて、第 1 A 図は平面図、第 1 B 図は第 1 A 図における 1 B - 1 B 線断面図、第 1 C 図は第 1 A 図における 1 C - 1 C 線断面図、第 2 A 図は  $V_G > 0$ 、 $V_B > 0$  の条件のときの各状態を示すものであつて、第 2 A 図はバイアス電圧の分布を示す図、第 2 B 図は絶縁層に注入保持された電子密度の分布を示す図、第 2 C 図は表面の電子密度の分布を示す図、第 2 D 図は表面のホール密度の分布を示す図、第 2 E 図は  $V_B < 0$  の条件のときの各状態を示す図、第 7 A 図～第 7 H 図は  $V_G < 0$ 、 $V_B < 0$  の条件の各状態を示す図である。

また図面に用いられている符号において、(1)(2)は  $P^+$  形半導体領域、(3)(4)は  $N^+$  形半導体領域、(5)は N 形半導体基板、(6)はシリコン酸化物層、(7)はアルミナ層、(8)はゲート電極である。

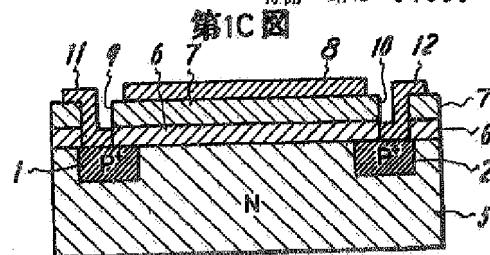
代 理 人 土 旗 勝

高 野 朋 次

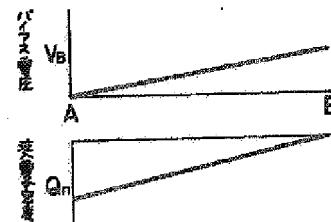
第1A図



特開昭48-34680 (1)



第2A図



第2B図



第2C図



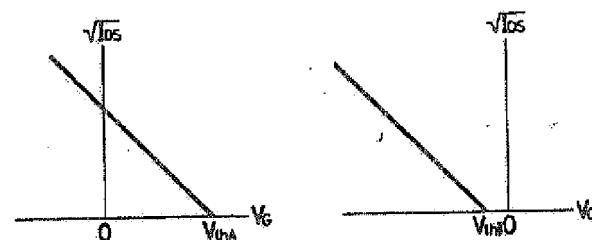
第2D図



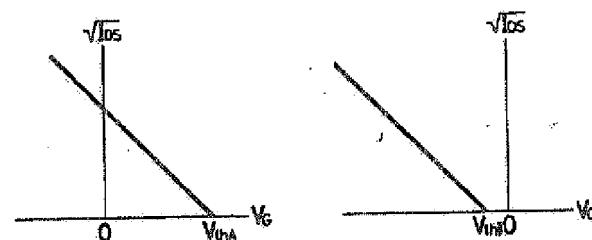
第2E図



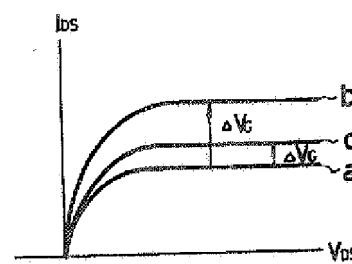
第2F図



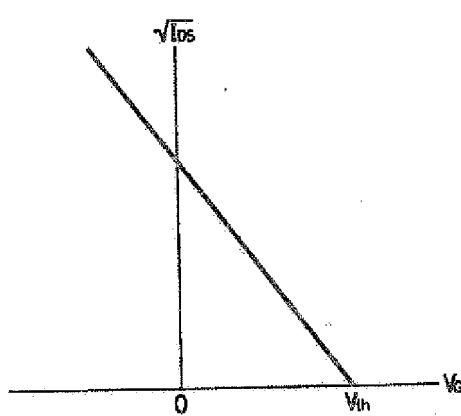
第2G図



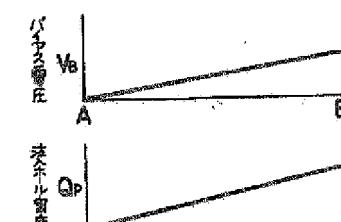
第3図



第2H図



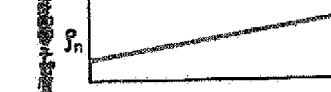
第4A図



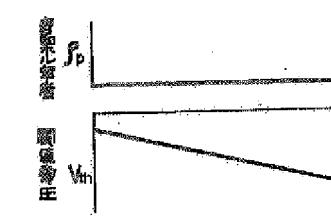
第4B図



第4C図

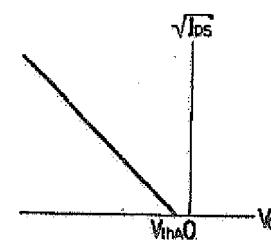


第4D図

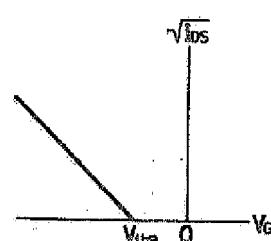


第4E図

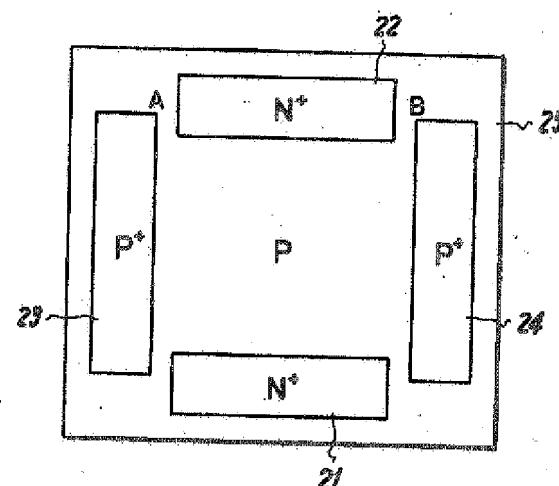
第4F図



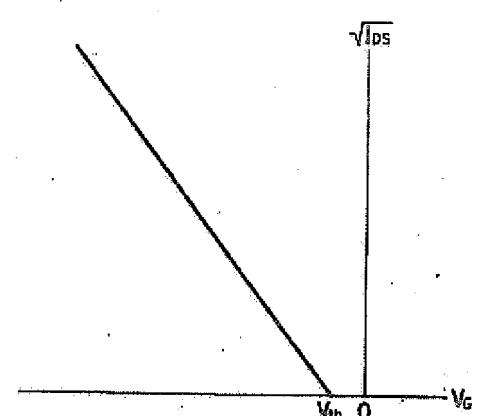
第4G図



第5図



第4H図



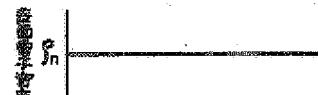
第6A図



第6B図



第6C図



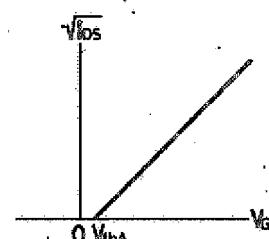
第6D図



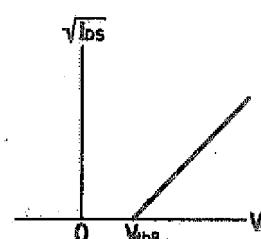
第6E図



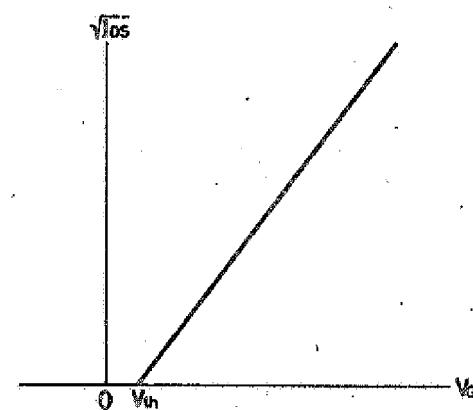
第6F図



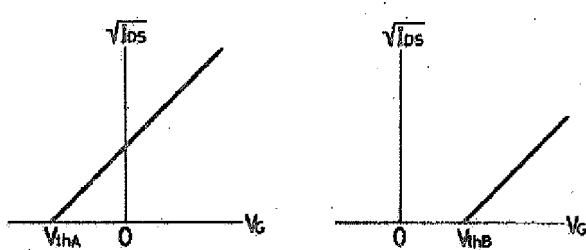
第6G図



第6H図



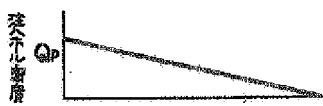
第7F図



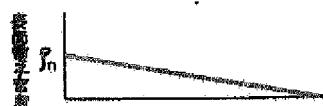
第7A図



第7B図



第7C図



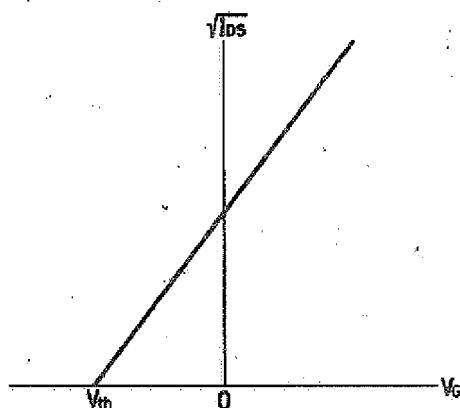
第7D図



第7E図



第7H図



## 6. 前記以外の発明者

神奈川県厚木市岡田 1964 の 1 ソニー岡田三郎  
山口 恵助